

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000149459 A

(43) Date of publication of application: 30.05.00

(51) Int. Cl

G11B 20/14
H03L 7/08

(21) Application number: 10321180

(71) Applicant: SHARP CORP

(22) Date of filing: 12.11.98

(72) Inventor: FUJIWARA TSUNEO

(54) PLL CIRCUIT

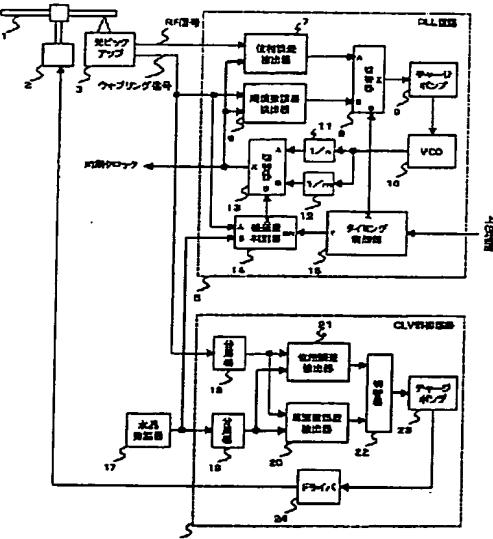
(57) Abstract:

PROBLEM TO BE SOLVED: To widen the lead-in frequency range by providing a PLL circuit with plural frequency dividers for forming signals of different frequencies by dividing the frequencies of the signals from an oscillator, selecting one signal from among the outputs of the plural frequency dividers and using this signal as a reproducing clock.

SOLUTION: When a linear speed converging pattern judging device 14 for judging linear speed judges the case of seeking from the innermost periphery to the outermost periphery, a switching device 13 selects the output of the 1/n frequency divider 11 (for example, n=1). Next, the output of the switching device 13 and a wobbling signal are subjected to frequency comparison by a frequency error detector 6 and a frequency error is outputted. Simultaneously, the output of the switching device 13 and the phase of an RF signal are compared by a phase error detector 7 and a phase error is outputted. A switching device 8 selects the output of the frequency error detector 6 in a prescribed period in the initial period of the lead-in. When the frequency lead-in period ends, the switching device 8 selects the output of the

phase error detector 7. The output of a VCO 10 is used as 1/m (for example, m=2) in the case of seeking from the outermost periphery to the innermost periphery.

COPYRIGHT: (C)2000,JPO



(19)日本国特許庁 (J.P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-149459

(P2000-149459A)

(43)公開日 平成12年5月30日 (2000.5.30)

(51)Int.Cl.⁷
G 1 1 B 20/14
H 0 3 L 7/08

識別記号
3 5 1

F I
G 1 1 B 20/14
H 0 3 L 7/08

テマコト[®] (参考)
3 5 1 A 5 D 0 4 4
M 5 J 1 0 6

審査請求 未請求 請求項の数 5 O L (全 14 頁)

(21)出願番号 特願平10-321180
(22)出願日 平成10年11月12日 (1998.11.12)

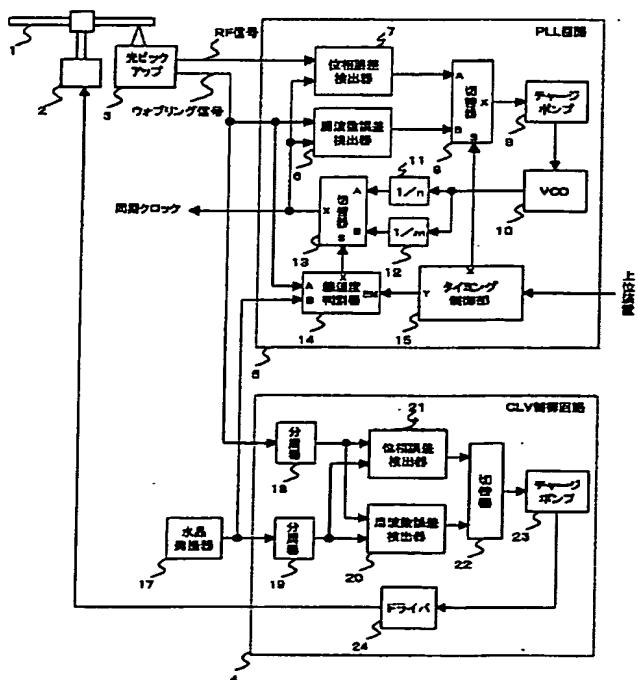
(71)出願人 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号
(72)発明者 藤原 恒夫
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内
(74)代理人 100103296
弁理士 小池 隆彌
F ターム(参考) 5D044 CC04 GM12 GM14 GM17 GM31
5J106 AA04 BB04 CC01 CC20 CC21
CC31 CC52 DD09 DD32 EE01
GG08 GG18 HH10 KK08 KK39

(54)【発明の名称】 PLL回路

(57)【要約】

【課題】 CLV制御された光ディスクシステムにおいて、線速度が大きく変化してもデータの再生を行うためのPLL回路には、発振範囲の広いVCOが必要であった。

【解決手段】 ディスクの線速度が所定の線速度より大きい状態から収束するか、小さい状態から収束するかを検出する線速度収束パターン判別手段（線速度判別器1～4、タイミング制御部15）の判別結果によってVCOの分周比を切り替える分周比切替手段と、分周比が $1/n$ の場合はCLV安定時に必要な周波数から所望の上限周波数まで発振し、分周比が $1/m$ の場合は所望の下限周波数からCLV安定時に必要な周波数まで発振するVCO手段を有する。



【特許請求の範囲】

【請求項1】 入力された信号と再生されたクロックとを比較してエラー信号を作成し、該エラー信号により前記再生クロックを発生する発振器の発振周波数を制御することで入力信号に同期した再生クロックを発生させるPLL回路において、
前記発振器からの信号を分周してそれぞれ異なった周波数の信号を作成する複数の分周器と、
該複数の分周器から出力される複数の信号の内の一つの信号を選択し再生クロックとして出力する切替器と、
を具備したことを特徴とするPLL回路。

【請求項2】 線速度を一定に保つように回転するディスク状記録媒体から読み出された信号と再生されたクロックとを比較してエラー信号を作成し、該エラー信号により前記再生クロックを発生する発振器の発振周波数を制御することで入力信号に同期した再生クロックを発生させるPLL回路において、
前記発振器からの信号を分周してそれぞれ異なった周波数の信号を作成する複数の分周器と、
該複数の分周器から出力される複数の信号の内の一つの信号を選択し再生クロックとして出力する切替器と、
を具備したことを特徴とするPLL回路。

【請求項3】 線速度を一定に保つように回転するディスク状記録媒体から読み出された信号と再生されたクロックとを比較してエラー信号を作成し、該エラー信号により前記再生クロックを発生する発振器の発振周波数を制御することで入力信号に同期した再生クロックを発生させるPLL回路において、
前記ディスク状記録媒体の回転線速度が変化した後、所定の線速度に収束する際に、所定の線速度より速い状態から収束するか遅い状態から収束するかを検出する線速度収束パターン判別手段と、
を具備し、前記切替器を前記線速度収束パターン判別手段の判別結果により切替えることを特徴とするPLL回路。

【請求項4】 線速度を一定に保つように回転するディスク状記録媒体から読み出された信号と再生されたクロックとを比較してエラー信号を作成し、該エラー信号により前記再生クロックを発生する発振器の発振周波数を制御することで入力信号に同期した再生クロックを発生させるPLL回路において、
それぞれ異なる周波数で発振する複数の前記発振器と、
該複数の発振器から出力される複数の信号の内の一つの信号を選択し再生クロックとして出力する切替器と、
前記ディスク状記録媒体の回転線速度が変化した後、所定の線速度に収束する際に、所定の線速度より速い状態から収束するか遅い状態から収束するかを検出する線速度収束パターン判別手段と、
を具備し、前記切替器を前記線速度収束パターン判別手段の判別結果により切替えることを特徴とするPLL回路。

【請求項5】 線速度を一定に保つように回転するディスク状記録媒体から読み出された信号と再生されたクロックとを比較してエラー信号を作成し、該エラー信号により前記再生クロックを発生する発振器の発振周波数を制御することで入力信号に同期した再生クロックを発生させるPLL回路において、

10

20

30

40

50

前記エラー信号により発振周波数が制御され、発振周波数範囲切替信号により発振周波数範囲が制御される前記発振器と、

ディスク状記録媒体の回転線速度が変化した場合に所定の線速度に収束させる際に、所定の線速度より速い状態から収束するか遅い状態から収束するかを検出する線速度収束パターン判別手段と、
を具備し、前記発振器の発振周波数範囲切替信号を前記線速度収束パターン判別手段の判別結果信号とすることを特徴とするPLL回路。

【請求項5】 前記線速度収束パターン判別手段は、
前記ディスク状記録媒体の回転線速度が所定の速度より速いか遅いかを判別する線速度判別手段と、
前記ディスク状記録媒体の回転線速度が所定の線速度に収束するまでの過渡期間に前記線速度判別手段に対して線速度判別を指示するタイミング制御手段と、
を具備することを特徴とする請求項2乃至請求項4のいずれかに記載のPLL回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、PLL回路に係り、特にディスク状記録媒体に記録・再生する装置において記録データに同期したクロックを生成するPLL回路に好適に利用できるものである。

【0002】

【従来の技術】近年、光ディスクを記録媒体としてデジタルデータを記録・再生するシステムが提案されており、民生用のシステムとしてCD(コンパクトディスク)、MD(ミニディスク)、などが実用化されている。これら、CDシステムやMDシステムなどでは、記録方式としてCLV(Constant Linear Velocity)方式が採用されている。

【0003】CLV方式は、光ビームが走査しているトラックの半径位置が変わっても線速度を一定に保持してディスクの内周から外周の全面にわたって記録密度を一定に保つことによって、ディスク容量の増大に貢献するという利点をもった記録方式である。しかしながら、線速度を一定に保つには、読み出し点のディスク半径位置によってディスクの回転数を変化させなければならぬ。

【0004】したがって、半径位置の大きく異なる2点間の移動(シーク)が生じた場合、ディスクの大きな慣性のため回転数を所定の値に制御するのに非常に時間が必要であり、シークが発生するたびにCLV制御のための待ち時間が必要となる。

【0005】このことによりCLV方式は平均的な転送レートの低下を招くという欠点を有している。このような欠点を回避するために、ディスクの回転が所望の回転数になる前にデータを読み出すことがなされている。線速度が所望の値になる前に再生信号からデータを正確に

読み出すには再生信号に同期したクロックが必要で、このために周波数引き込み範囲の広いワイドキャプチャPLL回路が用いられている。

【0006】上記のCLV制御とワイドキャプチャPLL回路についてMDシステムを例にとって説明する。図8にMDシステムのCLV制御回路およびワイドキャプチャPLL回路の一般的な構成を示す。図8において、ディスク1には、図示はしないが、記録再生している点の絶対位置を知るためにあらかじめ絶対アドレスが埋め込まれている。

【0007】これは、アドレスデータをバイフェーズマーク変調し、さらに数%の周波数偏差でFM変調して、このFM変調信号に対応してトラッキングサーボ用の案内溝を蛇行（ウォブリング）させることによりディスク全面にわたって埋め込まれている。この埋め込まれた信号は、ピックアップ3によって、トラッキングサーボのためのプッシュプル信号を增幅およびフィルタリングすることにより得られる。

【0008】この信号を以後、ウォブリング信号と称する。ウォブリング信号はもちろん絶対アドレスの再生に用いられるが、もう一つの重要な用途としてCLV制御回路4に入力され、CLV制御に用いられる。CLV制御回路4では入力されたウォブリング信号を2値化して分周器18により分周し、さらに水晶発振器17などの周波数の安定した発振器のクロック出力が入力されこの信号も分周器19により分周される。ここでは、ディスクの線速度が所定の値に一致した場合、分周器18の出力と分周器19の出力の周波数が一致するように分周器18、19の分周比が設定されている。

【0009】これら分周器18、19の出力は、周波数誤差検出器20および位相誤差検出器21に入力されて両者の周波数誤差、および位相誤差が検出される。周波数誤差検出器20および位相誤差検出器21の出力は切替器22に入力されて、どちらか一方が選択されチャージポンプ23に入力される。チャージポンプ23はいわゆる積分器で、DC値の積算および高域遮断特性をもったループフィルタの役割を併せもつ。チャージポンプ23の出力はドライバ回路24に入力され、ドライバ回路24の出力によりスピンドルモータ2が駆動されてディスク線速度を一定に保つようにフィードバック制御がなされる。

【0010】ここで、ディスク1の線速度が所定の値より離れている場合は、切替器22により周波数誤差検出器20の出力が選択され、線速度が所定の値に近づいてきた場合はさらに精密に制御するために位相誤差検出器21の出力が選択されて位相ロックがなされCLV制御される。

【0011】一方、ワイドキャプチャPLL回路5には、ウォブリング信号と、光磁気媒体に記録された記録データを光ピックアップ3により再生したRF信号が入

力されている。周波数誤差検出器6はウォブリング信号を分周した信号とVCO（Voltage Controlled Oscillator）26の出力を1/n分周器11で分周した信号の周波数誤差を検出して出力する。

【0012】また、位相誤差検出器7はRF信号と1/n分周器11の出力の位相誤差を検出して出力する。周波数誤差検出器6と位相誤差検出器7の出力は切替器8により選択されてチャージポンプ9に入力される。切替器8の入力Sはタイミング制御部16のX出力に接続されている。チャージポンプ9はいわゆる積分器であり、DC値の積算と高域遮断特性をもったループフィルタの役割を併せもつ。チャージポンプ9の出力はVCO26に入力されてフィードバックループを構成している。

【0013】このPLL回路において、シークが生じた直後、タイミング制御部16は上位装置からの指示をトリガに、所定時間出力XをLOWにした後、HIGHにする。ここで、上位装置とは当該MDシステム全体の制御を司るシステムマイコンなどに相当するものである。

【0014】これにより、切替器8は所定期間、周波数誤差検出器6の出力を選択出力して、VCO26の出力を1/n分周器11で1/nしたときの周波数を位相引き込みのキャプチャレンジまで引き寄せ、その後、切替器8は、位相誤差検出器7の出力を選択出力して位相ロックを行う。この場合VCO26の応答はスピンドルモータの応答よりもはるかに速いので線速度が所定の値に制御される前にRF信号に同期したクロックが得られ、記録データを再生することができる。

【0015】

【発明が解決しようとする課題】しかしながら、上記のような従来のワイドキャプチャPLL回路では、大きな半径差のシークが生じた場合でも速やかに同期クロックを得るために非常に発振範囲の広いVCOが必要となる。たとえば、シーク前の半径が15mmでシーク後の半径が30mmであった場合、シーク直後の線速度はCLV安定時の2倍となり、同期クロックの周波数もCLV安定時の2倍となる。また、シーク前の半径が30mmでシーク後の半径が15mmであった場合シークした直後の線速度はCLV安定時の1/2となり、同期クロックの周波数も1/2となる。

【0016】このような場合をすべてカバーしようとするとVCOの発振範囲はCLV安定時の同期クロック周波数の1/2から2倍までを発振できなければならぬ。このような広い範囲の周波数を発振し、また、入力電圧に対してリニアな特性を有し、また、比較的簡単な構成で、コストの上昇を抑えたVCOを得ることは難しいという課題がある。本発明は、かかる課題に鑑み、これら課題の内少なくとも一つを解決したPLL回路を提供することを目的とするものである。

【0017】

【課題を解決するための手段】上記のような課題を解決するために、本発明のPLL回路は、以下のような構成を探る。

【0018】即ち、請求項1の発明は、入力された信号と再生されたクロックとを比較してエラー信号を作成し、該エラー信号により前記再生クロックを発生する発振器の発振周波数を制御することで入力信号に同期した再生クロックを発生させるPLL回路において、前記発振器からの信号を分周してそれぞれ異なった周波数の信号を作成する複数の分周器と、該複数の分周器から出力される複数の信号の内の一つの信号を選択し再生クロックとして出力する切替器と、を具備したことを要旨とするPLL回路であり、また、請求項2の発明は、線速度を一定に保つように回転するディスク状記録媒体から読み出された信号と再生されたクロックとを比較してエラー信号を作成し、該エラー信号により前記再生クロックを発生する発振器の発振周波数を制御することで入力信号に同期した再生クロックを発生させるPLL回路において、前記発振器からの信号を分周してそれぞれ異なった周波数の信号を作成する複数の分周器と、該複数の分周器から出力される複数の信号の内の一つの信号を選択し再生クロックとして出力する切替器と、前記ディスク状記録媒体の回転線速度が変化した後、所定の線速度に収束する際に、所定の線速度より速い状態から収束するか遅い状態から収束するかを検出する線速度収束パターン判別手段と、を具備し、前記切替器を前記線速度収束パターン判別手段の判別結果により切替えることを要旨とするPLL回路であり、また、請求項3の発明は、線速度を一定に保つように回転するディスク状記録媒体から読み出された信号と再生されたクロックとを比較してエラー信号を作成し、該エラー信号により前記再生クロックを発生する発振器の発振周波数を制御することで入力信号に同期した再生クロックを発生させるPLL回路において、それぞれ異なる周波数で発振する複数の前記発振器と、該複数の発振器から出力される複数の信号の内の一つの信号を選択し再生クロックとして出力する切替器と、前記ディスク状記録媒体の回転線速度が変化した後、所定の線速度に収束する際に、所定の線速度より速い状態から収束するか遅い状態から収束するかを検出する線速度収束パターン判別手段と、を具備し、前記切替器を前記線速度収束パターン判別手段の判別結果により切替えることを要旨とするPLL回路であり、また、請求項4の発明は、線速度を一定に保つように回転するディスク状記録媒体から読み出された信号と再生されたクロックとを比較してエラー信号を作成し、該エラー信号により前記再生クロックを発生する発振器の発振周波数を制御することで入力信号に同期した再生クロックを発生させるPLL回路において、前記エラー信号により発振周波数が制御され、発振周波数可変範囲切替信号により発振周波数範囲が制御される前記発振器と、ディス

ク状記録媒体の回転線速度が変化した場合に所定の線速度に収束させる際に、所定の線速度より速い状態から収束するか遅い状態から収束するかを検出する線速度収束パターン判別手段と、を具備し、前記発振器の発振周波数可変範囲切替信号を前記線速度収束パターン判別手段の判別結果信号とすることを要旨とするPLL回路であり、また、請求項5の発明は、前記線速度収束パターン判別手段は、前記ディスク状記録媒体の回転線速度が所定の速度より速いか遅いかを判別する線速度判別手段と、前記ディスク状記録媒体の回転線速度が所定の線速度に収束するまでの過渡期間に前記線速度判別手段に対して線速度判別を指示するタイミング制御手段と、を具備することを要旨とする請求項2乃至請求項4のいずれかに記載のPLL回路である。

【0019】

【発明の実施の形態】まず、本発明の概念を説明するために、例として最内周半径が15mmで、最外周半径が30mmのディスクにおけるシーク時の線速度について考察する。ここでは、ワイドキャプチャPLLの仕様は、最内周から最外周、最外周から最内周というシークが発生した場合でもCLV制御が安定する前にRF信号に位相ロックしたクロックを得ることと仮定する。まず、パターン1として最内周から最外周へシークする場合を考える。ここでシーク前はCLV制御が安定しており所定の線速度でディスクが回転していると仮定する。このときの線速度の変化をグラフ化して図2に示す。この場合シーク直後に線速度が2倍になり、その後、緩やかなカーブを描いて所定の線速度に収束してゆく。

【0020】PLL回路が位相ロックしなければならない周波数（チャネルクロック周波数）、すなわちVCOの発振周波数も線速度に比例しているので、シーク直後に2倍になり、その後、緩やかなカーブを描いて所定のチャネルクロック周波数に収束する。また、パターン2として最外周から最内周へシークする場合を考える。ここでシーク前はCLV制御が安定しており所定の線速度となるようディスクが回転していると仮定する。

【0021】この場合の線速度の変化をグラフ化して図2に示す。この場合シーク直後に線速度が1/2になり、その後、緩やかなカーブを描いて所定の線速度に収束してゆく。チャネルクロック周波数、すなわちVCOの発振周波数も線速度に比例しているので、シーク直後に1/2になり、その後、緩やかなカーブを描いて所定のチャネルクロック周波数に収束する。

【0022】従来のPLL回路でこのような場合でも速やかにRF信号に位相ロックしたクロックを得るために、VCOの発振周波数範囲 f_r は、 f_{ch} を所定のチャネル周波数とすると

$$f_r = f_{ch}/2 \sim 2 \cdot f_{ch}$$

となり、最低周波数と最高周波数の比率は4倍となり、実用上困難であった。

【0023】ここで、あらためて、パターン1とパターン2をみると、パターン1では所定のチャネルクロック周波数以上が必要で、パターン2では所定のチャネルクロック以下が必要であることがわかる。これは、どのような場合でもこの2つのパターンに当てはまり、たとえシーク前にCLV制御が安定していなくても所定のチャネルクロック周波数より上の周波数から収束に向かうパターン1と、チャネルクロック周波数より下の周波数から収束に向かうパターン2とに分けることができ、この2つのパターンはシーク直後あるいはPLL引き込み過程の初期でも判定することができる。

【0024】したがって例えばパターン1だと判定されれば、VCOの出力を1/1にして使用し、パターン2だと判定されればVCOの出力を1/2に分周して使用すればよい。

【0025】即ち、VCOの発振範囲は全域にわたる必要はなく、1/1分周のとき

$$f_r = (f_{ch} - \alpha) \sim 2 \cdot (f_{ch} + \alpha)$$

1/2に分周のとき、

$$f_r = (f_{ch} - \alpha) / 2 \sim (f_{ch} + \alpha)$$

となるようにすれば、十分に実用的なVCOを用いることができる。

【0026】しかも、一旦収束パターンを判別して位相ロックしてしまえば、CLV制御の過渡期においてもVCOの切替えは発生せず、連続して読み出しが可能となる。

【0027】ここで、 α はCLV制御安定時における線速度の変動およびPLL引き込みの際のオーバーシュートなどを考慮したものである。

【0028】以上の概念を踏まえ、以下、本発明の実施形態を図を参照しながら詳述する。まず、図1は本発明の第1の実施形態であり、本発明をMDシステムに適用した場合のCLV制御回路およびワイドキャプチャPLL回路の構成を示す。尚、図中で従来の技術と同じものは同一の番号を付している。

【0029】ディスク1には、図示はしないが、記録再生している点の絶対位置を知るためにあらかじめ絶対アドレスが埋め込まれている。このアドレス信号から得られるウォブリング信号がCLV制御回路4に入力され、CLV制御に用いられる。CLV制御の方法は従来の技術と同じであるのでここでは説明を省略する。

【0030】次に、本発明の特徴であるワイドキャプチャPLL回路について説明する。ワイドキャプチャPLL回路5には、入力としてウォブリング信号とRF信号および水晶発振器17から出力される安定した周波数のクロック信号が入力されている。

【0031】以下、このワイドキャプチャPLL回路5の構成を説明する。線速度判定器14にはウォブリング信号とクロック信号が入力されている。この線速度判定器14は、EN入力がHighレベルのときは、線速度

がCLV制御安定時の所定の線速度より大きいか小さいかを判別して、大きい場合はHighレベルを、小さい場合はLowレベルを出力し、EN入力がLowレベルのときは以前に判別した結果を保持する。この線速度判定器14の具体的な構成については後述する。

【0032】この線速度判定器14の出力は切替器13のS入力に接続される。切替器13はS入力がHighのときはA入力をY出力から出力し、S入力がLowのときはB入力の信号を出力する。

【0033】一方、VCO10の出力は1/n分周器11と1/m分周器12に入力されている。ここではm>nとする。この1/n分周器11の出力は切替器13のA入力に、1/m分周器12の出力は切替器13のB入力に入力されている。

【0034】したがって、線速度判定器14の出力がHighレベルの場合は1/n分周器11の出力が選択され、線速度判定器14の出力がLowレベルの場合は1/m分周器12の出力が切替器13により選択されて、周波数誤差検出器6、位相誤差検出器7に入力される。

【0035】周波数誤差検出器6、位相誤差検出器7は従来と同様の動作をする。つまり、周波数誤差検出器6は、切替器13の出力とウォブリング信号との周波数の差を検出し、位相誤差検出器7は、切替器13の出力とRF信号との位相差を検出して出力する。

【0036】また、タイミング制御部15では、上位装置からの指示にしたがって切替器8の切替タイミングおよび線速度判定器14のイネーブル信号の制御を行う。切替器8の出力はチャージポンプ9に入力されチャージポンプ9の出力はVCO10に入力され、フィードバックループを構成している。

【0037】次に、上記で構成を説明したワイドキャプチャPLL回路の動作を図1と図3を併用して説明する。まず、図3(b)に示すようにシークが発生した場合Low、シークが終了してフォーカスサーボ、トラッキングサーボが正常に引き込んだ時Highになる信号が上位装置からタイミング制御部15に入力され、これを受けてタイミング制御部15は、図3(c)のように所定期間出力AをHighにする。

【0038】よって線速度判定器14のEN入力が所定期間Highになり、線速度判定器14は、この間の線速度が所定の線速度より大きいか小さいかを判定し、この時点で線速度が所定の値に収束してゆくパターンが上記のパターン1か、パターン2かが判定される。つまり、タイミング制御部15と線速度判定器14により線速度収束パターン判別手段が実現されている。

【0039】ここで、仮にパターン1であると判定されると線速度判定器14は図3(d)のようにHighを出力する。線速度判定器14のHigh出力を受けた切替器13は1/n分周器11の出力を選択して出力する。

【0040】次に、周波数誤差検出器6によりこの切替器13の出力とウォブリング信号が周波数比較されて周波数誤差が出力される。また、同時に位相誤差検出器7により、切替器13の出力とR F信号の位相が比較されて、位相誤差が出力される。図3(e)に示すように、タイミング制御部15の出力Xは、PLL引き込みの初期の所定期間(周波数引き込み期間)、LOWを出力するので切替器8は周波数誤差検出器6の出力を選択して出力する。

【0041】したがってVCO10の出力を $1/n$ 分周した信号の周波数はRF信号のチャネルクロック周波数のかなり近傍まで収束する。この周波数引き込み期間が終了すると、タイミング制御部15の出力XはHIGHを出力するので、切替器8は位相誤差検出器7の出力を選択して出力する。

【0042】この時、VCO10の出力を $1/n$ 分周した信号の周波数はRF信号のチャネルクロック周波数のかなり近傍で位相ロックのキャプチャレンジ内に入っているので、位相誤差検出器7の出力が位相の「進み遅れなし」を示す値を出力するようにフィードバックループが作用しRF信号と切替器13の出力(VCOの出力を $1/n$ 分周したもの)が位相ロックされる。

【0043】この時、当然CLV制御は過渡期間で、図3(a)に示すように線速度は所定の線速度より速く、徐々に所定の線速度に近づいていく。したがってVCO10の出力を $1/n$ 分周した場合の発振周波数範囲はパターン1で収束するときの必要な周波数をカバーしているので、一旦、位相ロックすればCLVの過渡期間でも位相ロックを保ったままデータの再生を行うことができる。

【0044】また、線速度判定期間において線速度が所定の線速度より小さいと判定され、線速度収束パターンがパターン2であると判定されると、VCO10の出力を $1/m$ して使用する。この場合のPLLが位相ロックにいたるまでの過程は先に説明した場合と同じなので省略する。位相ロックされたときCLV制御は過渡期間で、線速度は所定の線速度より遅く、徐々に所定の線速度に近づいていく。

【0045】したがって、VCO10の出力を $1/m$ 分周して使用している場合の発振周波数範囲はパターン2で収束するときの必要な周波数をカバーしているので、一旦、位相ロックすればCLVの過渡期間でも位相ロックを保ったままデータの再生を行うことができる。

【0046】上記の構成で、例えば、ワイドキャプチャPLLの引き込み周波数範囲の仕様として、所定の線速度の2倍から、 $1/2$ までとした場合、従来方式では最高周波数と最低周波数の比は4倍必要であったが、本発明を適用すれば、上記で説明した構成で $n=1$ 、 $m=2$ とするとVCOの発振周波数範囲は従来構成の最高周波数と最低周波数の比は2倍でよく、実用的なVCOでC

LV制御を用いたディスクシステムにおけるワイドキャプチャPLLを実現できる。

【0047】次に、線速度判別器14の具体的な構成について図4を用いて説明する。まず、ウォブリング信号が、入力(A)から入力され、2値化器41によって2値化される。次に、立ち上がりエッジ検出器42によって2値化されたウォブリング信号の立ち上がりが検出され、1クロック分のパルスが出力される。

【0048】立ち上がりエッジ検出器42の出力はカウンタ43のCLR入力およびラッチ44のラッティネーブル入力(EN)に接続されている。これにより、ウォブリング信号を2値化した信号の立ち上がりから次の立ち上がり、すなわちウォブリング信号の1周期がクロックによりカウントされ、クロック単位での周期が測定され、ラッチ44に保持される。

【0049】これが所定値より大きいか小さいかをコンパレータ45により判定することにより、現在の線速度が所定値より大きいか小さいかが判定される。次段のラッチ46のラッティネーブル入力(EN)には入力(EN)から入力されるイネーブル信号が接続されているので、イネーブル信号が有効な場合のみ判定結果が更新される。

【0050】次に、本発明の第2の実施形態を図5に示す。この場合、先に説明した第1の実施形態とほぼ同じであるが、1つのVCOの分周比を切り替えるのではなく、図5に示したようにVCOa27とVCOb28の出力を線速度判定器14の出力によって切り替えるという構成を探っている。これにより、例えば、中心周波数の選択範囲は広いが、最低周波数と最高周波数の比が2倍以下しかとれないVCOを用いなければならぬ場合でも、ワイドキャプチャPLL回路が実現できる。

【0051】例えば、VCOの仕様として最低周波数と最高周波数の比が1.5倍であった場合、VCOaは発振範囲(f_r)が

$$f_r = (f_{ch} - \alpha) \sim 1.5 \cdot f_{ch}$$

のものを選び、VCObは発振範囲(f_r)が

$$f_r = (f_{ch}/1.5) \sim (f_{ch} + \alpha)$$

のものを選べば、実質的にはPLLの引き込み範囲は

$$(f_{ch}/1.5) \sim 1.5 f_{ch}$$

となり、VCOの最低周波数と最高周波数の比が2.25倍の場合と等価となる。

【0052】更に、本発明の第3の実施形態を図6に示す。この場合も先に説明した第1の実施形態とほぼ同じであるが、VCOの分周比を切り替えるのではなく、発振周波数範囲を段階的に変化させることができるVCO29を用い、発振周波数範囲の切替を線速度判定器14の出力によって行うという構成を特徴としている。

【0053】一般的にVCOは制御電圧による連続的な周波数可変範囲を広くすることは困難であるが、内部定数の切替による発振周波数範囲の切替はかなり広範囲に

可能である。したがって、この方法を用いることにより実用的なVCOで、PLL引き込み周波数範囲を広くすることができる。

【0054】例えば、VCO29は最低周波数と最高周波数の比が1.5倍であるが、切替入力(S)がHighの場合、発振範囲(f_r)が

$$f_r = (f_{ch} - \alpha) \sim (1.5 \cdot f_{ch})$$

となり、切替入力(S)がLowのときは発振範囲(f_r)が

$$f_r = (f_{ch}/1.5) \sim (f_{ch} + \alpha)$$

となるようすれば、本発明の適用により実質的にはPLLの引き込み範囲は

$$(f_{ch}/1.5) \sim (1.5 \cdot f_{ch})$$

となり、VCOの最低周波数と最高周波数の比が2.25倍の場合と等価となる。

【0055】ここで、図7に周波数を段階的に切り替えることができるVCOの一般的な構成を示す。図7において、制御電圧はオペアンプ75、抵抗、コンデンサからなる差動積分器71に入力される、差動積分器71は、制御電圧に比例した時間で充放電される。差動積分器71の出力はヒステリシスコンパレータ72に入力され、ヒステリシスコンパレータ72は入力がしきい値を超えると出力が反転し、トランジスタ73をON/OFFする。このトランジスタ73がOFFのとき差動積分器71は充電され、ONのとき放電されるので、差動積分器71の出力は三角波を発振する。したがってヒステリシスコンパレータ72の出力が、方形波のクロックとして出力される。

【0056】一方、充放電の時間すなわち発振周波数はコンデンサと抵抗の定数によって決まる。したがってスイッチ74によりコンデンサ76とコンデンサ77を切り替えることにより発振周波数を切り替えることができる。

【0057】以上の説明では、MDシステムを例にとって説明したが、これに限るものではない。例えば、記録再生する際の同期クロックの抽出を、記録データそのものではなく、クロック抽出の目的でディスクに埋め込まれたクロックマークを用いて行う、いわゆる外部クロック方式を用いたシステムに適用する場合は、ウォブリング信号のかわりにクロックマーク信号を用いればよい。

【0058】また、CLV制御される場合を例に説明したが、半径位置によって段階的に線速度を変化させるZ CLV (Zone Constant Linear Velocity) 方式を用いたシステムにも適用できる。Z CLV方式は、ゾーン毎の段階的なCLVであるため、同一のゾーン内ではCAV方式であり、線速度は変化するが、普通ゾーン内の半径差は小さいため、上記説明した α の値をゾーン内の線速度の差を吸収できるようにすれば問題ない。

【0059】また、以上の実施形態ではVCOがカバー

すべき周波数範囲を2つの範囲に分けて説明したが、2つに限らず3以上の範囲に分割する応用も当然考えられるところである。

【0060】以上のように、本願発明は比較的簡単構成なのでコストの上昇を抑えた上で広い周波数可変範囲を有するPLL回路を実現することができる。

【0061】

【発明の効果】請求項1及び請求項2及び請求項5の発明によれば、位相ロックが可能な、最低周波数と最高周波数の比をVCOの能力以上に拡大することができるで、実用的なVCOで引き込み周波数範囲の広いワイドキャプチャPLL回路を実現することができる。

【0062】また、請求項3及び請求項5の発明によれば、複数のVCOにより引き込み周波数範囲をカバーするので、個々のVCOの周波数可変範囲を狭くできるため、安価なVCOの使用が可能となり、更に、VCOの周波数可変範囲も余裕を持って使用できるので入力電圧に対しリニアな特性が得られやすい。

【0063】また、請求項4及び請求項5の発明によれば、発振周波数範囲を段階的に変化させることができるVCOを用いることにより回路構成を簡単にした上で広い周波数可変範囲を実現できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示すブロック図である。

【図2】本発明の概念を説明するための波形図である。

【図3】本発明の動作を説明するための波形図である。

【図4】本発明の線速度収束パターン判別器の構成を示すブロック図である。

【図5】本発明の第2の実施形態を示すブロック図である。

【図6】本発明の第3の実施形態を示すブロック図である。

【図7】発振周波数範囲の切り替え可能なVCOの構成を示す図である。

【図8】従来の技術を説明するためのブロック図である。

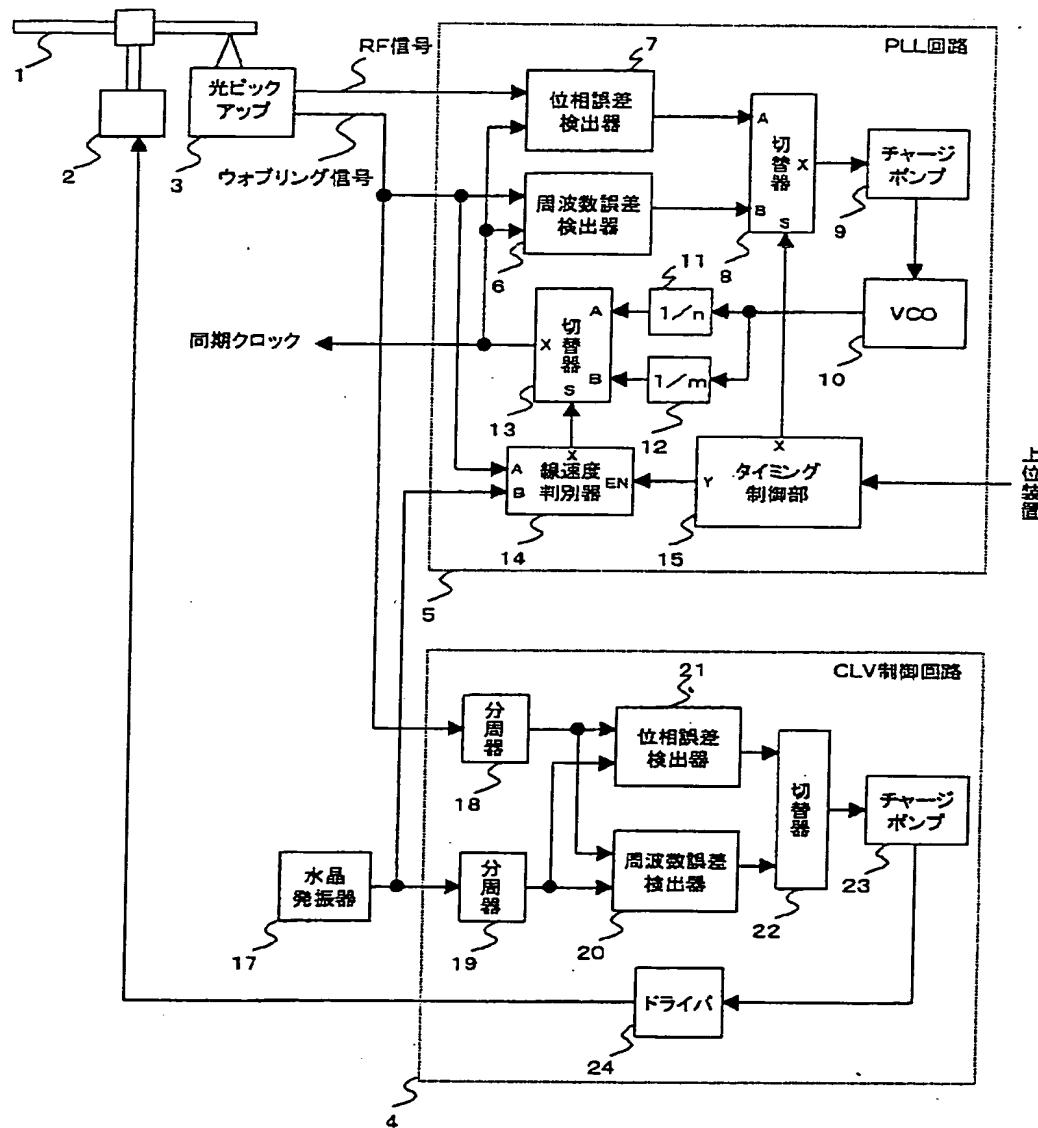
【符号の説明】

- 1 ディスク記録媒体、2 スピンドルモータ、3 ピックアップ、4 CLV制御回路、5 PLL回路、6 周波数誤差検出器、7 位相誤差検出器、8 切替器、9 チャージポンプ、10 VCO、11 分周器、12 分周器、13 切替器、14 線速度収束パターン判別器、15 タイミング制御部、16 タイミング制御部、17 水晶発振器、18 分周器、19 分周器、20 周波数誤差検出器、21 位相誤差検出器、22 切替器、23 チャージポンプ、24 ドライバ、25 PLL回路、26 VCO、27 VCO、28 VCO、29 VCO、41 2値化器、42 立ち上がりエッジ検出器、43 カウンタ、44 ラッチ、4

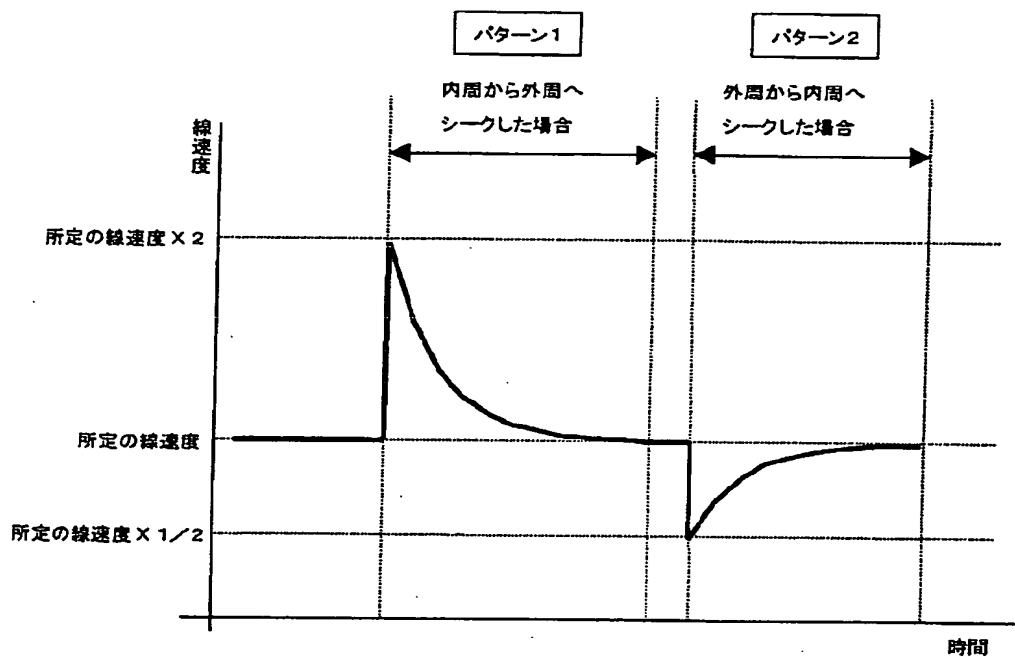
5 コンパレータ、46 ラッチ、71 差動積分器、
72 ヒステリシスコンパレータ、73 トランジス

タ、74 スイッチ、75 オペアンプ、76 コンデ
ンサ、77 コンデンサ

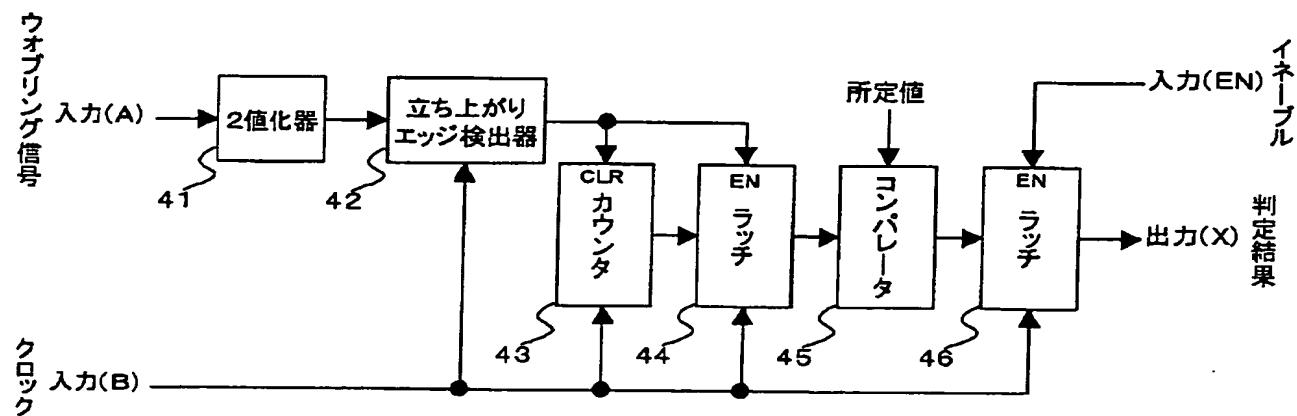
【図1】



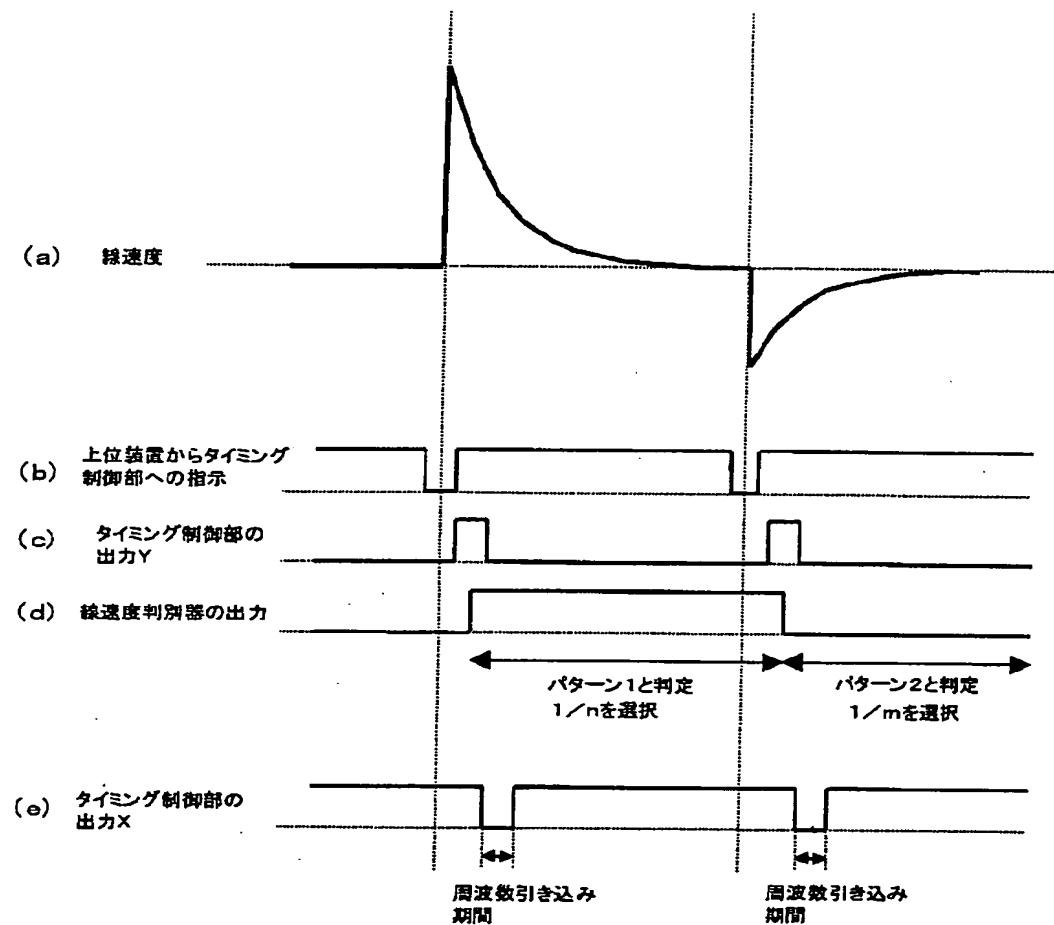
【図2】



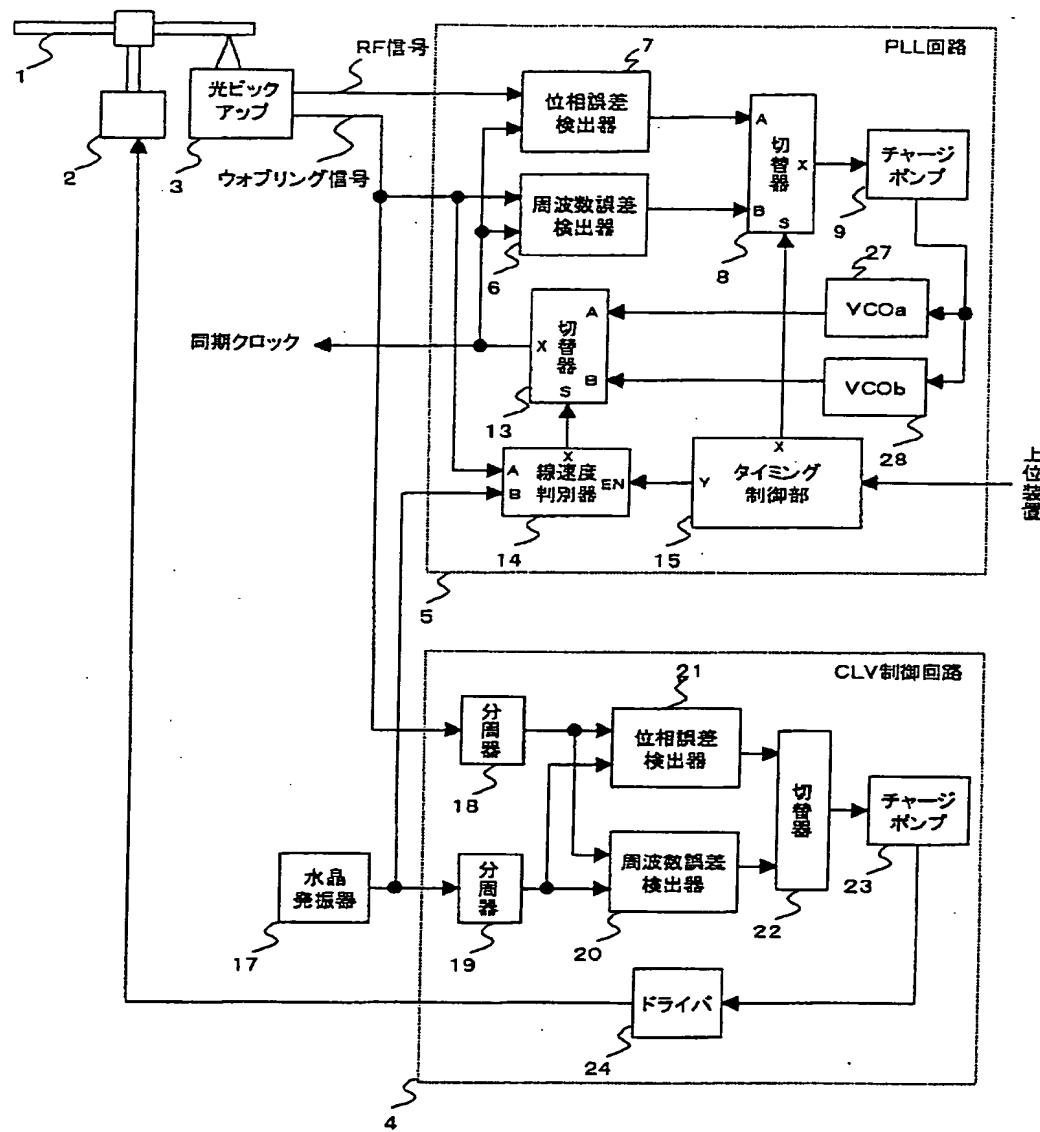
【図4】



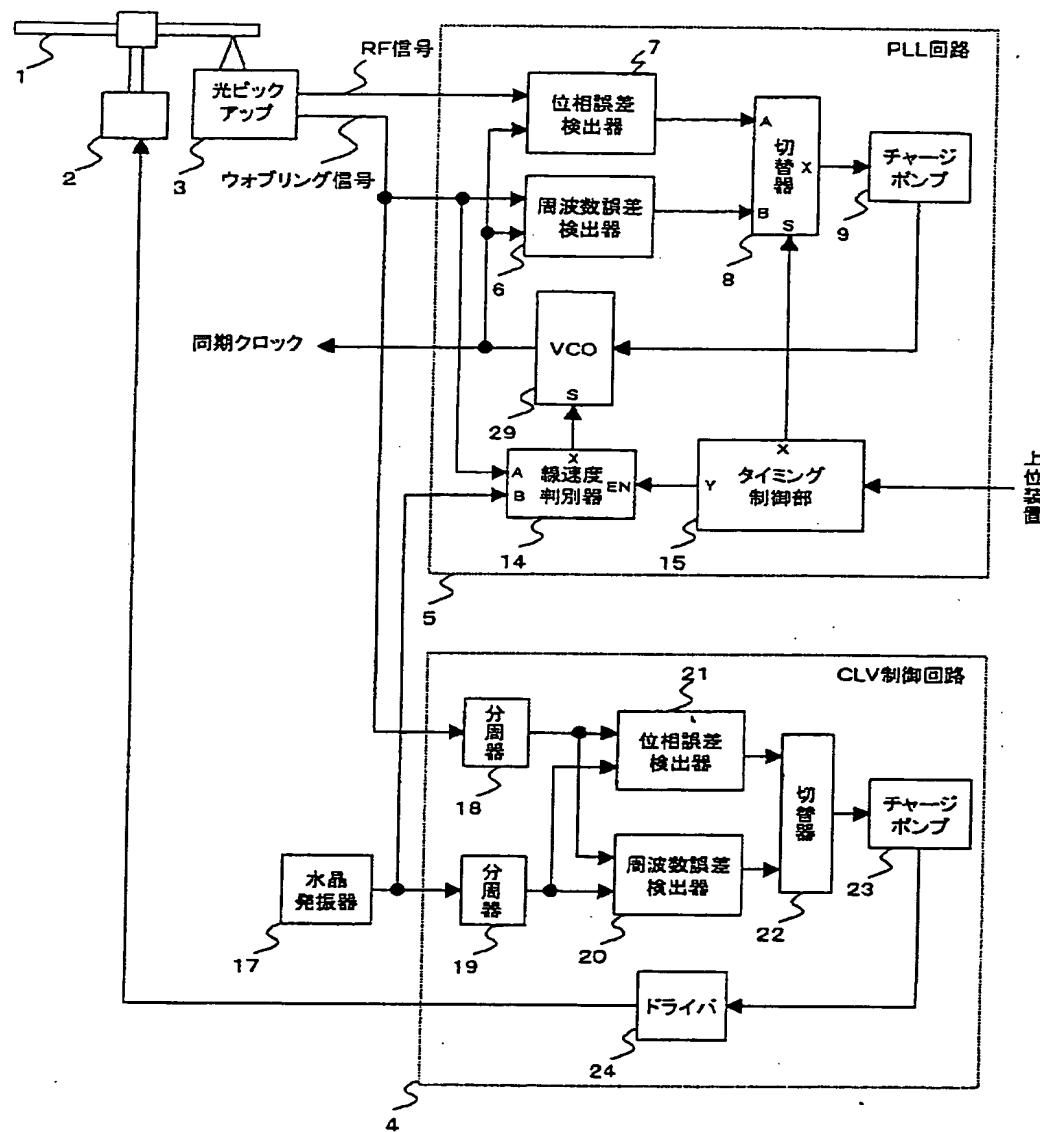
【図3】



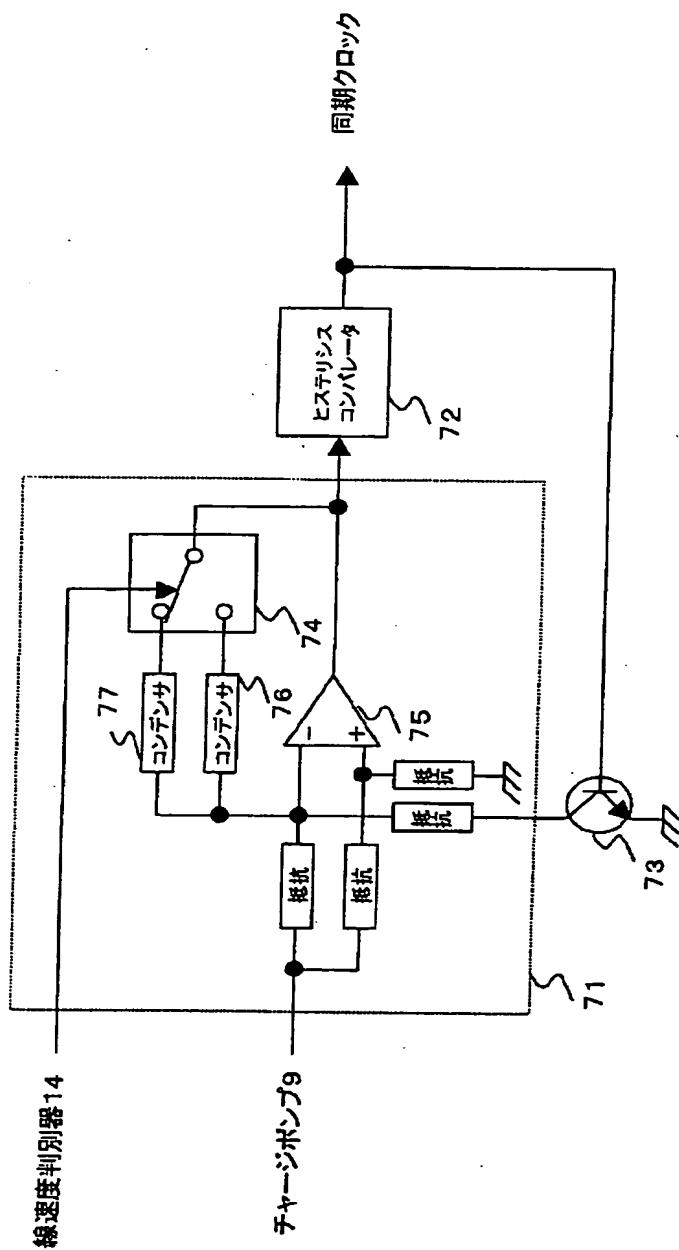
【図5】



【図6】



【図7】



【図8】

